

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-277534

(43)Date of publication of application : 06.10.2000

(51)Int.Cl.

H01L 21/338
 H01L 29/812
 H01L 27/15
 H01L 29/786
 H01L 33/00

(21)Application number : 11-082043

(22)Date of filing : 25.03.1999

(71)Applicant : JAPAN SCIENCE & TECHNOLOGY CORP

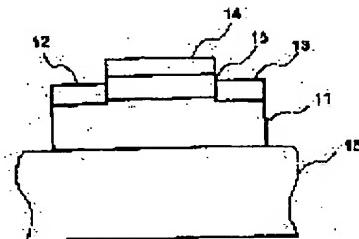
(72)Inventor : KAWASAKI MASASHI
ONO HIDEO
OTOMO AKIRA

(54) SEMICONDUCTOR DEVICE

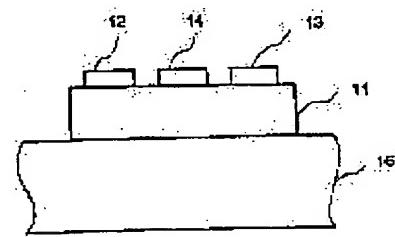
(57)Abstract:

PROBLEM TO BE SOLVED: To form a high-quality thin film to match a bulk single crystal thin film and to form a semiconductor device which is excellent in characteristics.

SOLUTION: A channel layer 11 is formed of a semiconductor layer, such as a zinc oxide ZnO layer. A source 12, a drain 23, a gate 14 and a gate insulating layer 15 are provided on the layer 11 and an FET is formed. As the material for a substrate 16, a proper one is selected in consideration of the matching property of the grating constants of the substrate 16 and the layer 11 with each other according to the thin film material for the layer 11. For example, if the semiconductor base of the layer 11 is assumed to be a ZnO thin film, a ScAlMgO₄ thin film or the like can be used as the material for the substrate 10.



(A)



(B)

LEGAL STATUS

[Date of request for examination] 04.02.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3423896

[Date of registration] 25.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**Japanese Unexamined Patent Publication
No. 277534/2000 (Tokukai 2000-277534)**

A. Relevance of the Above-identified Document

The following is a partial English translation of exemplary portions of non-English language information that may be relevant to the present invention.

B. Translation of the Relevant Passages of the Document

See also the attached English Abstract.

...

[0010]

[EMBODIMENTS]

(1) Field Effect Transistor: FET

Each of Figs. 1 is a cross sectional view illustrating a semiconductor device of Embodiment 1 according to the present invention. See Fig. 1(A). The semiconductor device of Embodiment 1 relates to an FET, and includes a channel layer (semiconductor layer) 11, a source 12, a drain 13, a gate 14, a gate insulating layer 15, and a substrate 16. Specifically, the channel layer 11 is formed on the substrate 16. Formed on the channel layer 11 are the gate insulating layer 15, the source 12, and the drain 13. Formed on the gate insulating layer 15 is the gate 14.

...

[0012]

The following explains respective materials of which components of the semiconductor device are made. Each of the materials is a major feature of the present invention. Firstly, the channel layer 11 is made of either a semiconductor having a suitable conductivity or an insulative semiconductor, in consideration of a structure of an FET. Examples of the material of the channel layer 11 include: (i) well known semiconductor materials; and (ii) group II oxides such as zinc oxide ZnO, magnesium zinc oxide $Mg_xZn_{1-x}O$, cadmium zinc oxide $Cd_xZn_{1-x}O$, cadmium oxide CdO, and the like. Alternatively, the channel layer 11 can be made of gallium nitride GaN, aluminum nitride AlN, indium nitride InN, or a group III nitride such as InGaN or AlInN. Moreover, the material of the channel layer 11 is free from doping, i.e., is either a pure thin film material or a substantially pure thin film material. Alternatively, a material to which the doping is carried out may be used as the material of which the channel layer 11 is made. Further, the thin film material may be either an n-type semiconductor or a p-type semiconductor.

...

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-277534

(P2000-277534A)

(43)公開日 平成12年10月6日 (2000.10.6)

(51)Int.Cl. ⁷	識別記号	F I	テマコト [*] (参考)
H 01 L 21/338		H 01 L 29/80	B 5 F 0 4 1
29/812		27/15	B 5 F 1 0 2
27/15		33/00	D 5 F 1 1 0
29/786		29/78	6 1 8 B
33/00			6 2 6 C

審査請求 有 請求項の数10 O.L. (全14頁)

(21)出願番号 特願平11-82043

(22)出願日 平成11年3月25日 (1999.3.25)

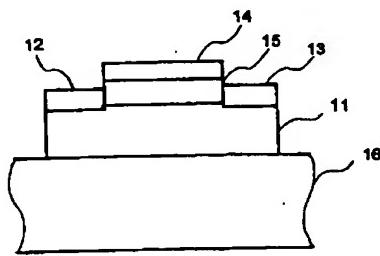
(71)出願人 396020800
科学技術振興事業団
埼玉県川口市本町4丁目1番8号
(72)発明者 川崎 雅司
神奈川県相模原市大野4-2-5-116
(72)発明者 大野 英男
宮城県仙台市泉区桂3-33-10
(72)発明者 大友 明
神奈川県大和市中央林間3-24-14-103
(74)代理人 100107010
弁理士 橋爪 健

(54)【発明の名称】 半導体デバイス

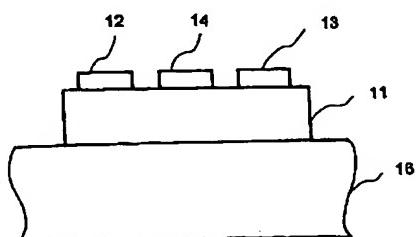
(57)【要約】

【課題】 バルク単結晶に匹敵する高品質の薄膜を作成し、特性の優れた半導体デバイスを作成する。

【解決手段】 チャネル層11は、例えば、酸化亜鉛ZnO等の半導体で形成される。チャネル層11には、ソース12、ドレイン13、ゲート14、ゲート絶縁層15が設けられ、FETが形成される。基板16は、チャネル層11の薄膜材料に応じて、両者の格子定数の整合性を考慮して適宜のものが選択される。例えば、チャネル層の半導体のベースをZnOとすると、基板16は、ScAlMgO₄等を用いることができる。



(A)



(B)

最終頁に続く

【特許請求の範囲】

【請求項1】 LnABO_4 又は LnAO_3 (BO)_n
 ($\text{Ln} : \text{Sc}, \text{In}, \text{Lu}, \text{Yb}, \text{Tm}, \text{Ho}, \text{Er}, \text{Y}$
 等の希土類元素、

A : Fe, Ga, Al,

B : Mn, Co, Fe, Zn, Cu, Mg, Cd) を基
 本構造とするいすれかの材料を用いた基板と、

酸化亜鉛 ZnO 、酸化マグネシウム亜鉛 $\text{Mg_xZn}_{1-x}O$ 、酸
 化カドミウム亜鉛 $\text{Cd_xZn}_{1-x}O$ 、酸
 化カドミウム CdO 等のII族酸化物のいすれかの材料を
 用い、前記基板上に形成された半導体層とを備えた半導
 体デバイス。

【請求項2】 前記基板の材料として、 ScAlMgO_4 、 ScAlZnO_4 、 ScAlCoO_4 、 ScAlMnO_4 、 ScGaZnO_4 、 ScGaMgO_4 、 又
 は、 ScAlZn_3O_6 、 ScAlZn_4O_7 、 ScAlZn_7O_{10} 、 又は、 ScGaZn_3O_6 、 ScGaZn_5O_8 、 ScGaZn_7O_{10} 、 又は、 ScFeZn_2O_5 、 ScFeZn_3O_6 、 ScFeZn_6O_8 の
 いすれかを用い、

前記半導体層の材料として、 ZnO を用いたことを特徴
 とする請求項1に記載の半導体デバイス。

【請求項3】 前記基板の材料として、 ScAlO_3 (ZnO)_n、 ScFeO_3 (ZnO)_n、 ScGaO_3 (ZnO)_n、 InFeO_3 (ZnO)_n、 InGaO_3 (ZnO)_n、 InAlO_3 (ZnO)_n、 YbAlO_3 (ZnO)_n 又は LuAlO_3 (ZnO)_n の
 いすれかを用い、

前記半導体層の材料として、 ZnO を用いたことを特徴
 とする請求項1に記載の半導体デバイス。

【請求項4】 ScAlBeO_4 、 ScBBeO_4 又は ScBBBeO_4 、 又は、 InAO_3 (MgO)_n (ここで、 A : Fe, Ga, Al) を基
 本構造とするいすれかの材料を用いた基板と、

GaN 、 AlN 、 InGaN 又は AlInN のいすれかの
 材料を用い、 前記基板上に形成された半導体層とを備えた半導体デバイス。

【請求項5】 前記基板と前記半導体層との間に、 さ
 らに、 前記半導体層と同じ組成又は構造の材料をベースと
 して不純物をわずかにドープした又はドープしない絶縁
 性材料を用いた緩衝層をさらに備えたことを特徴とする
 請求項1乃至4のいすれかに記載の半導体デバイス。

【請求項6】 前記半導体層として ZnO を用い、

前記緩衝層として、 1価の価数を取りうる元素又はV族
 元素をわずかにドープした絶縁性 ZnO 等の絶縁性材
 料、 又はドープしない純粋な絶縁性 ZnO 等の絶縁性半
 導体を用いたことを特徴とする請求項5に記載の半導体
 デバイス。

【請求項7】 前記基板と同じ基本構造の材料を用いた絶
 縁層をさらに備えたことを特徴とする請求項1乃至6の

いすれかに記載の半導体デバイス。

【請求項8】 前記半導体層と同じ組成又は構造の材料を
 ベースとして用い、 前記半導体層上に形成された発光層
 と、

前記半導体層と同じ組成又は構造の材料をベースとして
 用い、 前記発光層上に形成され、 前記半導体層と異なる
 チャネルの第2の半導体層とをさらに備えたことを特徴
 とする請求項1乃至7のいすれかに記載の半導体デバイ
 斯。

10 【請求項9】 前記発光層は、 $(\text{Mg}, \text{Zn})O$ 及び ZnO の多層構造、 $(\text{Zn}, \text{Cd})O$ 及び ZnO の多層構
 造、 又は、 $(\text{Mg}, \text{Zn})O$ 及び $(\text{Zn}, \text{Cd})O$ の多
 層構造のいすれかを用いたことを特徴とする請求項8に
 記載の半導体デバイス。

【請求項10】 前記半導体層は絶縁性半導体であり、
 前記半導体層上に形成された入力電極及び出力電極とを
 さらに備え、

フィルタ特性を有することを特徴とする請求項1乃至7
 のいすれかに記載の半導体デバイス。

20 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、 半導体デバイスに
 係り、 特に、 II族酸化物又はIII族窒化物を薄膜材料と
 し、 これと格子整合性の良い酸化物単結晶を基板とす
 ることで、 高品質の単結晶薄膜を形成した半導体素子、 及
 び、 その発光素子及び表面弹性波素子 (SAW, Surface
 Acoustic Wave) 等への応用に関する。

【0002】

【従来の技術】 従来より、 半導体デバイスにおいて、 例
 えば、 ランジスタとしては、 アモルファスシリコンや
 多結晶シリコン等を用いた薄膜ランジスタが用いられ
 ている。 また、 最近、 半導体デバイスを製造するための
 薄膜材料として、 酸化亜鉛 (ZnO) が、 注目されてお
 り、 紫外光発光素子や透明ランジスタなど、 光・電子
 デバイスとして既存の応用を置き換えるだけでなく、 全
 く新しい用途を開拓しつつある。 現在、 ZnO を用いた
 発光素子やランジスタを作製する際には、 基板として
 はサファイアが用いられる。

【0003】 また、 従来より、 半導体デバイスを作製す
 るに当たり、 基板上に高品質な薄膜を形成することが、
 切望されている。 ここで、 薄膜の結晶性 (コヒーレン
 シ) の品質を決定する要因としては、 次のような点があ
 る。

(a) 結晶粒サイズ

(b) 格子面間隔のゆらぎ (歪み)

(c) 格子面方向のゆらぎ (配向性、 モザイクネス)

すなわち、 一般に、 高品質な結晶とは、 (a) 結晶粒サ
 イズが大きく、 (b) 格子面間隔のゆらぎが小さく、
 (c) モザイクネスが小さいものである。

【0004】

【発明が解決しようとする課題】しかしながら、従来のサファイア等を用いた基板では、薄膜材料であるZnOとの格子不整合が18%程度と大きいものであった。そのため、従来の薄膜においては、粒界が存在したり、モザイクネスが大きくなるなど、高品質の単結晶薄膜を形成することが困難であった。また、従来、デバイス性能については、本来ZnOがもつ性能を十分に発揮することができず、必ずしも最適な基板を作製することができなかった。

【0005】本発明は、以上の点に鑑み、ZnO等のII族酸化物、又は、GaN等のIII族窒化物等の薄膜材料と、格子整合の極めて良い酸化物結晶を基板として使用することにより、薄膜材料の質を飛躍的に向上し、バルク単結晶に匹敵する高品質の薄膜を作成し、特性の優れた半導体デバイスを作成することを目的とする。また、本発明は、粒界がほとんど無く、粒サイズが大きく、格子面間隔のゆらぎも小さく、モザイクネスも極めて小さい、殆ど単結晶に近い高品質のZnO、GaN等の半導体薄膜を形成することを目的とする。

【0006】本発明は、例えば、ScAlMgO₄(SCAM)結晶等がZnOに対して格子不整合が小さいことから(約0.13%)、その基板上にほぼ単結晶のZnO薄膜を作製することを目的とする。また、本発明は、従来のようなサファイア基板等を用いた場合に比べて、電子移動度が高く、ZnO単結晶に近い、SCAM基板上のZnOを形成することを目的とする。また、本発明は、透明半導体材料であるZnOと、透明高絶縁性のSCAM基板とを組み合わせることで、透明な半導体デバイスを作製することができるとともに、ヘテロ構造デバイスの性能を著しく向上することを目的とする。

【0007】また、本発明は、トランジスタ等に適用することで、スイッチング速度を高速とすることを目的とする。また、本発明は、電界効果トランジスタ等に適用することで、電界を印加したときの空乏層幅が広がるので、スイッチング用ゲート電圧が低くて済むようすることを目的とする。また、本発明は、発光素子に適用することで、発光効率を向上することを目的とする。本発明は、電界効果トランジスタやバイポーラトランジスタ、GaNベースの窒化物青色レーザを含む発光素子(LED、レーザ)、表面弹性波素子(SAW)、センサ等の各種電子デバイスに、適用することで、それらの性能向上させることを目的とする。

【0008】

【課題を解決するための手段】本発明の第1の解決手段によると、

LnABO₄又はLnAO₃(BO)。

(Ln: Sc, In, Lu, Yb, Tm, Ho, Er, Y等の希土類元素、

A: Fe, Ga, Al、

B: Mn, Co, Fe, Zn, Cu, Mg, Cd)を基

本構造とするいずれかの材料を用いた基板と、酸化亜鉛ZnO、酸化マグネシウム亜鉛Mg_xZn_{1-x}O、酸化カドミウム亜鉛Cd_xZn_{1-x}O、酸化カドミウムCdO等のII族酸化物、又は、窒化ガリウムGaN、窒化アルミニウムAlN、窒化インジウムInN等のIII族窒化物のいずれかの材料を用い、前記基板上に形成された半導体層とを備えた半導体デバイスを提供する。

【0009】さらに、本発明は、発光素子及びSAW等の光・電子デバイスへ応用した半導体デバイスを提供する。

【0010】

【発明の実施の形態】(1)電解効果トランジスタ(Field Effect Transistor, FET)

図1に、本発明に係る半導体デバイスの第1の実施の形態の断面図を示す。図1(A)に示されるように、第1の実施の形態の半導体デバイスは、FETに関するものであり、チャネル層(半導体層)11、ソース12、ドレイン13、ゲート14、ゲート絶縁層15、基板16を備える。基板16の上には、チャネル層11が形成される。チャネル層11には、ゲート絶縁層15、ソース12及びドレイン13が形成される。ゲート絶縁層15の上には、ゲート14が形成される。

【0011】図1(B)には、第1の実施の形態の変形例が示される。このトランジスタは、基板16の上に、チャネル層11が形成される。さらに、チャネル層11には、ソース12及びドレイン13がオーミック接合により、ゲート14がショットキー接合により、それぞれ形成される。この例では、図1(A)と比べてゲート絶縁層15がないため、ソース12及びドレイン13とゲート14との間は適当な隙間が設けられる。

【0012】以下に、本発明の主な特徴である各構成要素の材料について説明する。まず、チャネル層11は、FETの構造により、適宜の導電性又は絶縁性の半導体で形成される。チャネル層11の材料としては、周知の半導体材料の他にも、例えば、酸化亜鉛ZnO、酸化マグネシウム亜鉛Mg_xZn_{1-x}O、酸化カドミウム亜鉛Cd_xZn_{1-x}O、酸化カドミウムCdO等のII族酸化物のいずれかを用いることができる。また、チャネル層11としては、窒化ガリウムGaN、窒化アルミニウムAlN、窒化インジウムInN、InGaN又はAlInN等のIII族窒化物を用いることもできる。チャネル層11は、ドープ無し、純粋又は純粋に近い薄膜材料を用いる。なお、チャネル層11として、ドープ有りのものを用いても良い。また、これらの薄膜材料は、n形又はp形のいずれの形でも良い。

【0013】図2に、チャネル層に用いられる代表的な薄膜材料の一例とその格子定数を表す図を示す。一例として、図示の各材料を対象として説明するが、これに限定されるものではない。

【0014】つぎに、基板16としては、絶縁性材料が

用いられる。本発明では、基板16に、チャネル層11の格子定数と近い格子定数を持つような、整合性の良い材料を用いることで、質の高いチャネル層11を形成するようにした。一例として、チャネル層11にZnOが用いられた場合、基板16として、最も高性能な材料のひとつとして、例えば、酸化亜鉛単結晶又はScAlMgO₄単結晶等を用いると、その基板上にチャネル層11又はソース12並びにドレイン13等を高品質でエビタキシャル成長させることが可能である。

【0015】以下に、チャネル層11に用いられる薄膜材料の格子定数と、整合性の高い（即ち、その格子定数と近い格子定数を持つ）基板6の材料について組合せの例を説明する。まず、チャネル層11の薄膜材料がZnO等のII族酸化物の場合を説明する。例えば、ZnOの場合は、以下のような基板材料を選択することができる。第1に、基板16としては、例えば、以下のようなLnAlBO₄を基本構造とする材料（LnAlBO₄の組成をもち、かつ、Yb₂Fe₂O₇構造をもつ結晶群）を用いることができる。すなわち、

LnAlBO₄

ここで、Ln: Sc, In, Lu, Yb, Tm, Ho, Er, Y等の希土類元素

A: Fe, Ga, Al

B: Mn, Co, Fe, Zn, Cu, Mg, Cd

このような基板材料の格子定数は、約3.2~3.5Åである。このような基本構造をとる材料としては、例えば、ScAlMgO₄などがある。

【0016】図3に、LnAlBO₄についての格子定数とイオン半径との関係図を示す。横軸は、Ln酸化物の配位数6のイオン半径であり、縦軸は、格子定数である。図示されるように、格子定数について分析すると、Lnの元素のイオン半径（原子の大きさ）が、大きくなっていくと、LnAlBO₄の格子定数も増えることがわかる。また、ZnO、GaN及びAlNの格子定数が横線（破線）で図示され、この格子定数に近いLnAlBO₄を基本構造とする酸化物が示される。

【0017】また図4に、LnAlBO₄を基本構造とする基板材料の一例とその格子定数を表す図を示す。これは、一例として、比較的小さな格子定数を持つ材料として、ScAlMgO₄、ScAlZnO₄、ScAlC_oO₄、ScAlMnO₄、ScGaZnO₄、ScGaMgO₄を示した。図2に示したように、ZnOの格子定数は3.249Åであるから、図6に示されたような基板材料のいずれかを用いると、格子定数の整合性が良いものとなる。なお、整合性の良い基板材料としては、図3に示されるように、ScAlCuO₄、InAlMgO₄等も挙げられ、また、これらに限定されるものではない。

【0018】さらに、基板16としては、ZnOにマッチさせようとすると、以下のようなZnOを添加した酸

化物材料も用いることもできる。一般式で表すと、以下のようなLnAlO₃ (BO)_nを基本構造とする材料 (LnAlO₃ (BO)_nの組成をもち、かつ、Yb₂Fe₂O₇構造をもつ結晶群) を適宜用いることができる。すなわち、

LnAlO₃ (BO)_n

ここで、Ln: Sc, In, Lu, Yb, Tm, Ho, Er, Y等の希土類元素

A: Fe, Ga, Al

10 B: Mn, Co, Fe, Zn, Cu, Mg, Cd
このように、LnAlBO₄構造にZnOを混入していくと、ZnOが格子の隙間にに入ることにより、ZnOの格子定数と近い物質を合成することができる。nを無限大にすると、格子定数は、3.249 (ZnOの格子定数) に限りなく近づく。

【0019】図5に、LnAlO₃ (BO)_nについての格子定数とイオン半径との関係図を示す。横軸は、Ln酸化物の配位数6のイオン半径であり、縦軸は、格子定数である。図3と同様に、格子定数について分析すると、Lnの元素のイオン半径（原子の大きさ）が、大きくなっていくと、LnAlO₃ (BO)_nの格子定数も増えることがわかる。また、ZnO、GaN及びAlNの格子定数が横線（破線）で図示され、この格子定数に近いLnAlO₃ (BO)_nを基本構造とする酸化物が示される。

【0020】図示されるように、具体的には、例えば、ScAlO₃ (ZnO)_n

ScFeO₃ (ZnO)_n

ScGaO₃ (ZnO)_n

InFeO₃ (ZnO)_n

30 InGaO₃ (ZnO)_n

InAlO₃ (ZnO)_n

YbAlO₃ (ZnO)_n

LuAlO₃ (ZnO)_n

等を用いると格子整合性が良い。さらに、この中でも、例えば、ScAlZn₃O₈、ScAlZn₄O₇、ScAlZn₇O₁₀、又は、ScGaZn₃O₈、ScGaZn₅O₈、ScGaZn₇O₁₀、又は、ScFeZn₂O₅、ScFeZn₃O₈、ScFeZn₆O₉等の各材料を用いることができる。

【0021】第2に、チャネル層11の薄膜材料がGaN、AlN等のIII族窒化物の場合を説明する。例えば、図2に示したように、GaN及びAlNの格子定数は、それぞれ3.112Å及び3.189Åである。図3及び図4に示されたLnAlBO₄構造をとる酸化物結晶は、格子定数が小さくても3.2Å程度であるから、GaN及びAlNの格子定数にマッチし得る結晶としては、例えば、その中でも最小のScAlMgO₄、ScAlZnO₄等が挙げられる。

【0022】また、図3~図5に示した材料の他に、格子定数が比較的小さく、GaN及びAlN等に整合性

が良い物質としては、以下のものが挙げられる。すなわち、

ScAlBeO_4

ScBMgO_4

ScBBeO_4

等である。また、上述のような一般式 LnAO_3 (BO)において、BとしてMgを選択した材料が整合性が良い。すなわち、この基板は、上述のような酸化物基板材料にMgOを添加したものである。

【0023】つぎに、ゲート絶縁層15としては、適宜の絶縁性材料が用いられる。ゲート絶縁層15は、チャネル層11の材料と格子マッチングの良い高絶縁性の材料を用いることができる。上述のように、チャネル層11の薄膜材料に応じて、基板16について格子定数の整合性の良い材料を用いたのと同様に、適宜の格子整合性の良い絶縁層15を選択することができる。例えば、ZnOをチャネル層11とした場合、例えば、 ScAlMgO_4 等をゲート絶縁層15として用いることができる。また、ゲート絶縁層15としては、例えば、1価の価数を取りうる元素又はV族元素をドープした絶縁性ZnO等の透明絶縁性材料を用いることもできる。1価の価数を取りうる元素としては、例えば、I族元素(Li, Na, K, Rb, Cs)、Cu, Ag, Au等がある。V族元素としては、N, P, As, Sb, Bi等がある。こうすることで、両方の層は、全ての面内の格子定数が1%以内で一致することになり、相互にエピタキシャル成長が可能であり、格子整合性のよい半導体デバイスを得ることができる。また、ゲート絶縁層15に、強誘電性の材料を用いることにより、トランジスタ自体がメモリ機能を有するようにすることもできる。強誘電性の材料として、例えば、 $\text{Zn}_{1-x}\text{Li}_x\text{O}$ 、 $\text{Zn}_{1-x}(\text{Li}, \text{Mg}_{x-y})\text{O}$ 等を用いることができる。なお、ゲート絶縁層15としては、例えば、ガラス、ビニール、プラスティック等の絶縁体を用いても良い。ゲート絶縁層15としては、その他にも、 Al_2O_3 、 MgO 、 CeO_2 、 SiO_2 、等の絶縁性酸化物を用いることができる。

【0024】以上の説明では、ゲート絶縁層15について述べたが、他の適宜の絶縁層を形成する場合にも、同様の材料を用いることができる。これにより、格子整合性の良い半導体デバイスを製造することが可能となる。

【0025】また、ソース12、ドレイン13又はゲート14は、適宜の電極材料を用いることができる。電極材料としては、チャネル層11と同じ材料をベースとして、適宜不純物をドープした又はドープしない導電性材料を用いることができる。ZnO等をベースとする電極としては、例えば、III族元素(B, Al, Ga, In, Tl)、VII族元素(F, Cl, Br, I)、I族元素(Li, Na, K, Rb, Cs)、V族元素(N, P, As, Sb, Bi)のいずれかをドープした導電性

ZnO、又は各種元素をドープしない導電性ZnO等が用いられる。ここで、これらの元素をドープする場合、ドープ量は適宜設定することができる（例えば、高濃度にn形をドープした $n^{++}-\text{ZnO}$ 等を用いることができるが、これに限定されない）。このようなチャネル層11等と同じ構造・組成の材料をベースとして、格子定数の整合性の良い高品質な半導体デバイスを作製することができる。また、その他に、例えば、Al、Cu等の金属や、高ドープした半導体ポリシリコン等を用いることができる。さらに、ソース12、ドレイン13又はゲート14としては、その他に、 In_2O_3 、 SnO_2 、 $(\text{In}-\text{Sn})\text{O}_x$ などの透明導電体を用いることもできる。

【0026】(2) 緩衝層のある基板を備えたFET図6に、本発明に係る半導体デバイスの第2の実施の形態の断面図を示す。図6(A)に示されるように、第2の実施の形態は、FETに関するものあり、ソース12、ドレイン13、ゲート14、ゲート絶縁層15、チャネル層17、緩衝層18、基板16を備える。

【0027】チャネル層11が、ドープしない純粋な場合又はわずかに不純物がドープされた場合には、図1のような構成により、基板16とチャネル層11の格子定数の整合性は良いものとなる。一方、この第2の実施の形態は、チャネル層17に、不純物がかなりの量（例えば、10～20%程度等）ドープされたものを用いる場合等について、さらに格子定数の整合性を高めることができるようにしたものである。ここでは、そのため緩衝層18を基板16とチャネル層17の間に設けるようにした。

【0028】チャネル層17は、第1の実施の形態と同様の組成の材料が用いられるが、ここでは、特に、不純物が比較的大量にドープされたものを用いることができる。また、基板16については、第1の実施の形態と同様に、チャネル層17に応じて、整合性の高い材料が適宜用いられる。緩衝層17としては、II族酸化物又はII族窒化物をチャネル層17として用いた場合、それと同じ組成でドープ量をわずかとした又はドープしない絶縁性材料を用いることができる。例えば、チャネル層17として例えばZnOを用いた場合、緩衝層17は、1価の価数を取りうる元素又はV族元素をわずかにドープした絶縁性ZnO等の絶縁性材料、又はドープしない純粋な絶縁性ZnO等の絶縁性半導体を用いることができる。1価の価数を取りうる元素としては、例えば、I族元素(Li, Na, K, Rb, Cs)、Cu, Ag, Au等がある。V族元素としては、N, P, As, Sb, Bi等がある。第2の実施の形態においても、第1の実施の形態で説明したように、チャネル層17と、その薄膜材料と同様の組成の材料を用いた緩衝層18と、基板16との各々の材料の組み合わせは、格子定数の整合性を考慮して適宜のものを選択することができる。

【0029】(3) 半導体デバイスの特性

以下に、本発明の好適な例として、第1の実施の形態のようなScAlMgO₄基板上形成されたZnO薄膜と、従来のようなサファイア基板上に形成されたZnO薄膜との特性を比較して説明する。この例では、レーザ分子線エピタキシ法又はパルスレーザ堆積法を用い、基板温度300~1000度で、ZnOを形成したものである。

【0030】図7に、酸化亜鉛薄膜及び酸化亜鉛バルク単結晶の電気特性の比較説明図を示す。この図では、ScAlMgO₄基板上及びサファイア基板上(α -Al₂O₃基板上)にそれぞれ酸化亜鉛薄膜が形成された場合と、水熱合成法で作成された酸化亜鉛バルク単結晶の電気特性が比較される。電気特性としては、移動度 μ と、室温での電子又はキャリア濃度を示すドナー濃度 N_d との関係が示される。なお、抵抗率 ρ と、移動度 μ 及びドナー濃度 N_d との関係は、

$$\rho = 1 / (e \mu N_d)$$

となる。但し、eは、電荷素量である。

【0031】ZnO本来の物性を表すものとして、バルク単結晶の特性が示される。バルクZnO単結晶は、移動度が大で、ドナー濃度が小さく、良質の特性をもつ。このようなバルク単結晶の特性に近づけることが、本発明の目標のひとつである。一方、従来のサファイア基板上にZnOを形成した場合は、移動度が小さく、ドナー濃度が大きい。これに対し、本発明のScAlMgO₄基板上にZnOを形成した場合は、従来と比較して、移動度が大で、ドナー濃度が小さく、ZnOバルク単結晶に近い良質な特性を得ることができる。さらに、この図では、本発明ではもともと混入されるドナー濃度が小さいことが示されるので、ドナー又はアクセプタの添加量を調整することによって、ドナー濃度及びアクセプタ濃度の制御範囲・設定範囲が大きくとることができ。本発明によると、図示のように、キャリア濃度が10¹⁵ cm⁻³程度、電子移動度が60~70 cm²/Vs程度の薄膜が、再現性良く形成することができる。なお、これらの特性の違いは、欠陥、不純物、粒界等が原因と考えられる。

【0032】そして、この図から判断されるように、本発明をトランジスタ等に適用すると、スイッチング速度を高速とすることができます。また、本発明を電界効果トランジスタ等に適用すると、電界を印加したときの空乏層幅が広がるので、スイッチング用ゲート電圧が低くて済む。また、本発明を、発光素子に適用すると、発光効率を向上することができる。

【0033】図8に、酸化亜鉛薄膜及び酸化亜鉛バルク単結晶のX線逆格子マッピングの比較説明図を示す。この図では、ScAlMgO₄基板上及びサファイア基板上にそれぞれZnO薄膜が形成された場合と、水熱合成法で作成された酸化亜鉛バルク単結晶の作成されたZn

O薄膜が形成された場合のX線逆格子マッピングが示される。また、この図では、z方向の格子定数の逆数Q_z(縦軸)と、x方向の格子定数の逆数Q_x(横軸)との逆格子空間が示される。図示の矢印のような方向で、(a)粒サイズの逆数、(b)格子面間隔のゆらぎ、(c)格子面方向のゆらぎ(モザイクネス)が、それぞれ表される。また、ここでは、一例として非対称回折面として、ZnO(114)についての特性を示すが、回折面(115)、(104)、(105)の各々についても同様な結果を得ることができる。

【0034】図示のように、本発明によると、従来に比べ、(a)粒サイズが大きく、(b)格子面間隔のゆらぎが小さく、且つ、(c)格子面方向のゆらぎ(モザイクネス)が小さいことがわかる。そして、本発明によると、従来に比べ、結晶性が大幅に改善され、モザイクネスや粒サイズ等がバルク単結晶と同様な単結晶ZnO薄膜を得ることができる。また、図から、本発明において、格子定数がバルクに近づいたこと、及び、回折ピークがシャープになっている点がわかる。

【0035】図9に、X線ロッキングカーブの半値幅の基板温度依存性についての比較説明図を示す。この図では、ScAlMgO₄基板上及びサファイア基板上のZnOについて、半値幅と成膜温度との関係が示される。一般に、X線ロッキングカーブの半値幅は、格子面方向のゆらぎ(モザイクネス)及び粒サイズを表すものである。すなわち、本発明は、X線ロッキングカーブの半値幅が、従来例に比べて小さいので、これらについての特性が良いことがわかる。例えば、本発明のようにScAlMgO₄基板を用いると、成膜温度が300°C程度の低温で作成したZnO薄膜であっても、従来のサファイア基板上に1000°Cで堆積した薄膜と同程度のモザイクネス及び粒サイズとなり、非常に高い結晶性の薄膜を得ることができることがわかる。一般に、高い温度で薄膜を形成すると、層間に拡散が起こる場合があるが、本発明は、これを減少又は防止することができる。

【0036】図10に、薄膜表面の平坦さについての比較説明図を示す。図より、本発明によるScAlMgO₄基板上のZnO薄膜表面は、従来のサファイア基板上のZnO薄膜表面に比べて、表面の凹凸が格段に小さいことがわかる(例えば、精密な計測によると1/100程度)。本発明では、ZnO薄膜表面は、0.26 nm(c軸長の1/2)又は0.52 nm(c軸長)のステップと、表面が原子レベルで平坦な薄膜を形成できる。

【0037】図11に、窒素濃度の基板温度依存性についての比較説明図を示す。この図は、本発明のScAlMgO₄基板上及び従来のサファイア基板上に窒素ドープしたZnO薄膜を形成した場合について、窒素濃度と、成膜温度の関係を示す。本発明によると、従来例に比べ、窒素ドーピング量が2倍程度向上する(即ち、窒素がドープしやすい)ことができる。このことは、従来

と同程度のドーピング量を得るために、約50°C低い成膜温度で、ZnO薄膜を形成することができる。即ち、ドーピング特性が向上することを表す。なお、窒素ドーピング特性は、デバイスのアクセプタとしての特性に相当する。

【0038】(3) 他のFET

図12に、本発明に係る半導体デバイスの第3の実施の形態の断面図を示す。図12(A)に示される第3の実施の形態は、FETに関するもので、チャネル層21、ソース22、ドレイン23、ゲート24、ゲート絶縁層25、基板26を備える。基板26の上にソース22及びドレイン23が形成される。これらを覆うように、チャネル層21が形成される。チャネル層21には、さらに、ゲート絶縁層25が形成される。ゲート絶縁層25の上には、ゲート24が形成される。ここでは、ゲート24、ゲート絶縁層25及びチャネル層21が、MIS構造となっている。

【0039】図12(B)は、第3の実施の形態の変形であり、図12(A)に示されたものとは、ゲート絶縁層25が形成されておらず、ゲート24とチャネル層21とがショットキー接合の構造となっている。図12(A)のようにゲート絶縁層25を有する場合は、ゲートの印加電圧の制限が少ない。これに対し、図12(B)のようにゲート絶縁層25を有しない場合は、ゲート-ソース間及びゲート-ドレイン間の絶縁耐圧が低くなる。また、この場合は、製造プロセスは簡単となる。これらの構成においても、第1及び第2の実施の形態で説明したように、チャネル層21又はソース22、ドレイン23の薄膜材料と、基板26又はゲート絶縁層25の材料とは、両者の格子定数が整合するように、適宜の組み合わせを用いることができる。

【0040】図13に、本発明に係る半導体デバイスの第4の実施の形態の断面図を示す。第4の実施の形態は、FETに関するもので、チャネル層31、ソース32、ドレイン33、ゲート34、ゲート絶縁層35、基板36を備える。基板36の上にチャネル層31が形成される。チャネル層31には、ゲート絶縁層35が形成され、ゲート絶縁層35の上には、ゲート34が形成される。ソース32及びドレイン33は、例えば、ゲート絶縁層35をマスクとする拡散又はイオン注入等により、形成されることがある。また、この実施例の変形としてゲート34のサイズを適宜設定することにより、ゲート絶縁層35を省略することもできる。

【0041】これらの構成においても、第1及び第2の実施の形態で説明したように、チャネル層21の薄膜材料と、基板26又はゲート絶縁層35との材料は、両者の格子定数が整合するように、適宜の組み合わせを用いることができる。さらに、第2の実施の形態で説明したように、チャネル層31の薄膜材料及び不純物のドーピング量に応じて、チャネル層31と基板36との間に

は、緩衝層をさらに備えることができる。なお、上述の第3及び第4の実施の形態において、特に言及していない場合、各構成要素の材料は、第1の及び第2の実施の形態で説明したものと同様の物質を用いることができる。

【0042】(4) 発光素子

図14に、本発明に係る半導体デバイスの第5の実施の形態の断面図を示す。この実施の形態は、レーザダイオード等の発光素子に関するもので、発光層41、p形半導体層42、n形半導体層43、第1及び第2の電極45及び電極46、基板47を備える。

【0043】発光層41は、p形半導体42とn形半導体43に挟まれており、例えば、ドーピングしていないZnOを用いたり、(Mg, Zn)O及びZnOの極薄い厚さの多層膜で構成することができる。この場合、ZnOは井戸層と呼ばれ、(Mg, Zn)O層はバリア層と呼ばれるものである。また、井戸層のバンドギャップよりバリア層のバンドギャップが大きいものが用いられる。発光層41の他の材料例としては、(Zn, Cd)O及びZnOの多層構造、(Mg, Zn)O及び(Zn, Cd)Oの多層構造等を用いることができる。さらに、発光層41としては、多層反射膜や、ダブルヘテロ構造、面発光レーザ構造など、適宜の構成を採用して組み合わせることもできる。

【0044】これらp形半導体42及びn形半導体43の材料のベースとしては、第1の実施の形態で述べた各材料を適宜用いることができる。p形半導体42としては、例えば、p形ZnO等のII族酸化物又はp形GaN、AlN、InGaN、AlInN等のIII族窒化物が使用される。p形ZnOの場合は、例えば、I族元素(Li, Na, K, Rb, Cs)、V族元素(N, P, As, Sb; Bi)をドープしたZnOである。また、n形半導体43としては、例えば、n形ZnO等のII族酸化物又はn形GaN、AlN等のIII族窒化物が使用される。n形ZnOの場合は、例えば、III族元素(B, Al, Ga, In, Tl)、VII族元素(F, Cl, Br, I)をドープしたZnOである。これらの各元素のドープ量は、素子の寸法、厚さ、集積度、性能等に応じて適宜の量とすることができる。第2の電極(n型電極)46の材料は、例えば、第1の実施の形態で説明した、ソース12、ドレイン13又はゲート14の材料と同様のものが用いられる。第1の電極(p型電極)45としては、例えば、Au、Pt、Ni/Ti(多層構造)等によるオーミック電極が用いられる。

【0045】これらの構成においても、第1の実施の形態で説明したように、n形半導体層43(基板47に接合される半導体層がp形のときはp形半導体層)の薄膜材料と、基板47の材料は、両者の格子定数が整合するように、適宜の組み合わせを用いることができる。さらに、第2の実施の形態で説明したように、n形半導体層43の薄膜材料及び不純物のドーピング量に応じて、n

形半導体層43と基板47との間に、緩衝層をさらに備えることができる。なお、p形半導体42、n形半導体43、発光層41、基板47の全て又は一部に格子整合の良い材料の組合せを用いることで、高品質の半導体デバイスを製造することができる。

【0046】なお、上述の第5の実施の形態において、特に言及していない場合、各構成要素の材料は、第1の及び第2の実施の形態で説明したものと同様の物質を用いることができる。また、透明な半導体を用いると、発光層から図の上面又は下面に向けても光を出射することができ、本発明を、面発光レーザやエレクトロルミネンス素子等の発光素子等に多様に応用することができる。

【0047】(5) 表面弹性波素子SAW(Surface Acoustic Wave)

図15に、本発明に係る半導体デバイスの第6の実施の形態の構成図を示す。図15(A)には、SAWの斜視図を、図15(B)には、そのB-B'断面図をそれぞれ示す。SAWは、基板111、半導体層112、入力電極113及び出力電極114を備える。SAWは、入力電極113から、高周波信号が入力されると、SAWのフィルタ特性により、適宜の信号が出力電極114から出力される半導体デバイスである。

【0048】半導体層112は、絶縁性半導体であり、ベースとしては、第1の実施の形態で述べた各材料を適宜用いることができる。半導体層112としては、例えば、ドーピングしない又はI族元素又はIII族元素をドーピングした絶縁性ZnOを用いることができる。なお、粒界を押さえるために不純物として、例えば、IIId遷移金属(Co, Ni等)を少し添加してもよい。これらの構成においても、第1及び第2の実施の形態で説明したように、半導体層112の薄膜材料と、基板111、入力電極113、出力電極114の材料とは、両者の格子定数が整合するように、適宜の組み合わせを用いることができる。

【0049】(6) 他の応用

本発明は、各層の面が極めて平坦に形成することができるので、積層形半導体デバイスに適用する際に、非常に有効である。その際、各層と接合する層との格子定数の整合性を考慮して、上述の材料を適宜選択して積層することができる。さらに、複数の種類のトランジスタを選択して混合して積層しても良い。

【0050】本発明は、SAWの他、光導波路、回折格子等の光集積回路、光デバイスに適用することもできる。また、本発明は、バリスタ、湿度センサ、温度センサ、ガスセンサ等の各種センサに応用することもできる。また、本発明は、メモリにも、応用することができる。なお、メモリに応用する際は、トランジスタ及びコンデンサをマトリクス状に配列し、各コンデンサを各トランジスタで駆動することにより、メモリデバイスを実現することができる。また、本発明は、トランジスタ、

発光素子、コンデンサ等の適宜の素子を同一基板に作成することができる。その他、高品質の結晶が形成されることで、幅広い分野での半導体デバイスへの応用が可能である。

【0051】なお、半導体デバイス及び各層の大きさ、厚さ、寸法、などは、用途やプロセス等に応じて適宜設計することができる。ドープ量は、製造プロセス、デバイス性能等、必要に応じて適宜設定することができる。また、n形半導体、p形半導体、導電性材料及び絶縁性

10 材料として、半導体をZnOをベースとして各元素をドープする例を述べたが、これに限られるものではない。また、第1及び第2の実施の形態では、基板上にチャネル層が形成される場合について説明したが、その他の実施の形態でも示されるように、基板上には、チャネル層以外にも、絶縁性若しくは導電性の半導体層、ドープ無し若しくは有りの半導体層、又は、n形若しくはp形の半導体層を適宜形成することができる。

【0052】

【発明の効果】本発明によると、ZnO等のII族酸化物、又は、GaN等のIII族窒化物等の薄膜材料と、格子整合の極めて良い酸化物結晶を基板として使用したことにより、薄膜材料の質を飛躍的に向上し、バルク単結晶に匹敵する高品質の薄膜を作成し、特性の優れた半導体デバイスを作成することができる。また、本発明によると、粒界がほとんど無く、粒サイズが大きく、格子面間隔のゆらぎも小さく、モザイクネスも極めて小さい、殆ど単結晶に近い高品質のZnO、GaN等の半導体薄膜を形成することができる。

【0053】本発明によると、例えば、ScAlMgO₄(SCAM)結晶等がZnOに対して格子不整合が小さいことから(約0.13%)、その基板上にはほぼ単結晶のZnO薄膜を作製することができる。また、本発明によると、従来のようなサファイア基板等を用いた場合に比べて、SCAM基板上のZnOは、電子移動度が高く、ZnO単結晶に近いものとすることができる。また、本発明によると、透明半導体材料であるZnOと、透明高絶縁性のSCAM基板とを組み合わせることで、透明な半導体デバイスを作製することができるとともに、ヘテロ構造デバイスの性能を著しく向上することができる。さらに、FET等における各電極材料、絶縁層等の適宜のものの一部又は全部について、透明な材料を用いるようにしても良い。

【0054】また、本発明をトランジスタ等に適用すると、スイッチング速度を高速とすることができます。また、本発明を電界効果トランジスタ等に適用すると、電界を印加したときの空乏層幅が広がるので、スイッチング用ゲート電圧が低くて済む。また、本発明を、発光素子に適用すると、発光効率を向上することができる。本発明によると、電界効果トランジスタやバイポーラトランジスタ、GaNベースの窒化物青色レーザを含む発光

15

素子（LED、レーザ）、表面弾性波素子（SAW）、センサ等の各種電子デバイスに、適用することができ、それらの性能を向上させることができる。

【図面の簡単な説明】

【図1】本発明に係る半導体デバイスの第1の実施の形態の断面図。

【図2】チャネル層に用いられる代表的な薄膜材料の一例とその格子定数を表す図。

【図3】LnABO₄についての格子定数とイオン半径との関係図。

【図4】LnABO₄を基本構造とする基板材料の一例とその格子定数を表す図。

【図5】LnAO₃（BO）_nについての格子定数とイオン半径との関係図。

【図6】本発明に係る半導体デバイスの第2の実施の形態の断面図。

【図7】酸化亜鉛薄膜及び酸化亜鉛バルク単結晶の電気特性の比較説明図。

【図8】酸化亜鉛薄膜及び酸化亜鉛バルク単結晶のX線逆格子マッピングの比較説明図。

* 【図9】X線ロッキングカーブの半値幅の基板温度依存性についての比較説明図。

【図10】薄膜表面の平坦さについての比較説明図。

【図11】窒素濃度の基板温度依存性についての比較説明図。

【図12】本発明に係る半導体デバイスの第3の実施の形態の断面図。

【図13】本発明に係る半導体デバイスの第4の実施の形態の断面図。

10 【図14】本発明に係る半導体デバイスの第5の実施の形態の断面図。

【図15】本発明に係る半導体デバイスの第6の実施の形態の構成図。

【符号の説明】

11 チャネル層（半導体層）

12 ソース

13 ドレイン

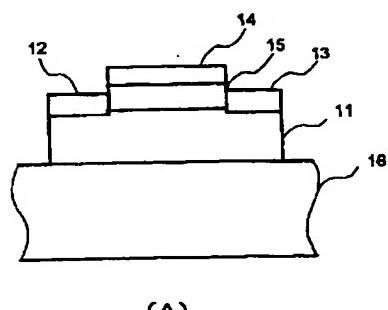
14 ゲート

15 ゲート絶縁層

16 基板

*20

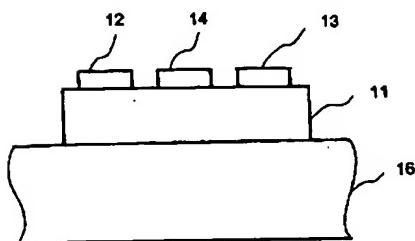
【図1】



(A)

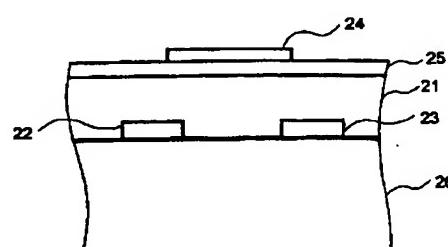
【図2】

薄膜材料	格子定数 (Å)
ZnO	3.249
AlN	3.112
GaN	3.189
InN	5.76

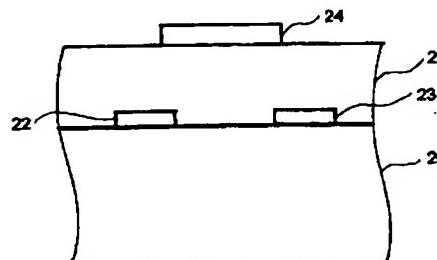


(B)

【図12】

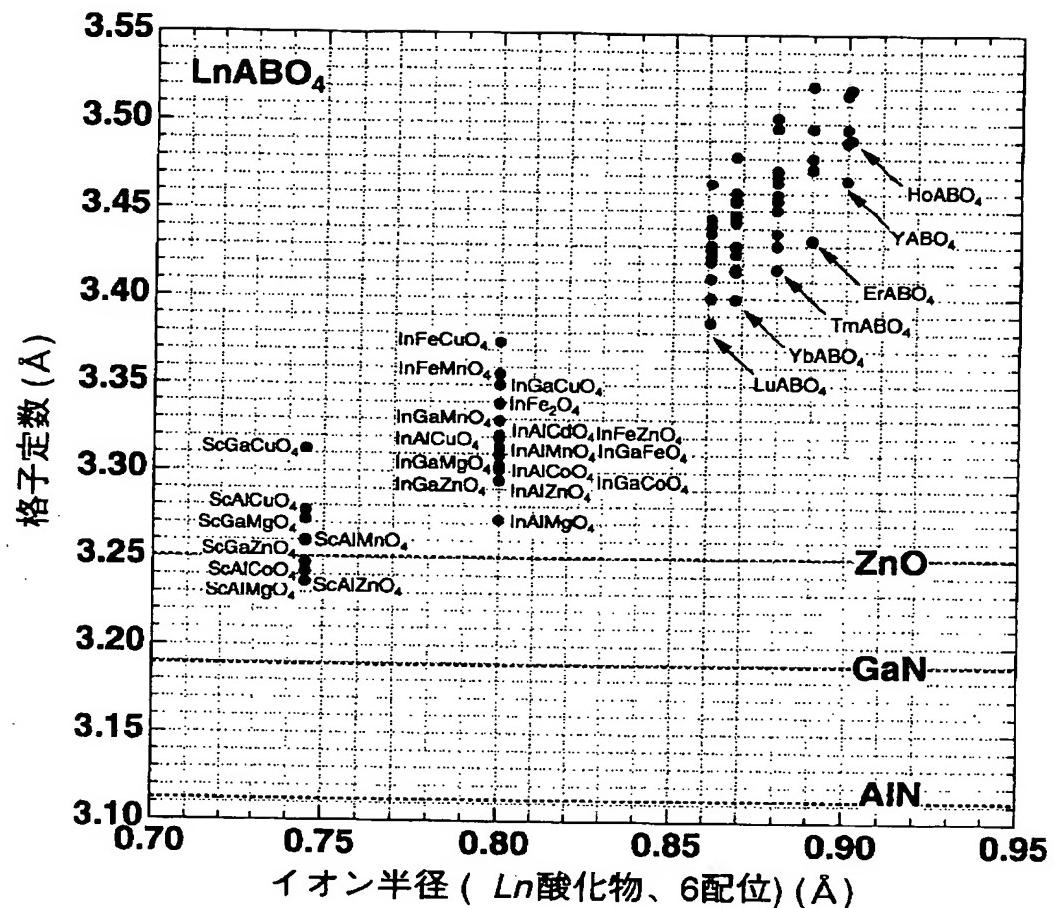


(A)

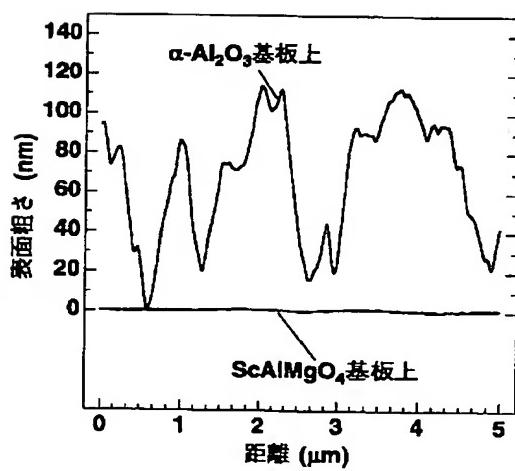


(B)

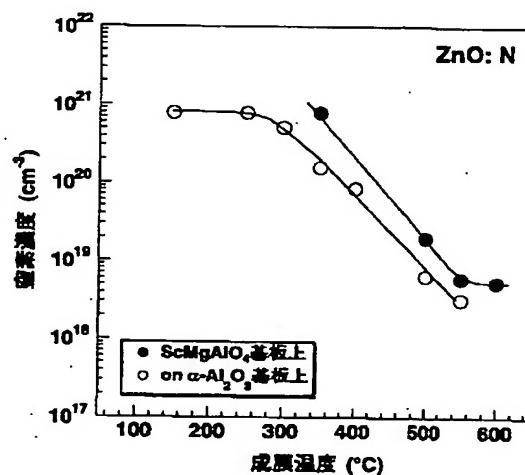
【図3】



【図10】



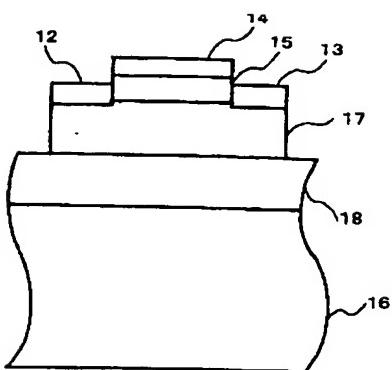
【図11】



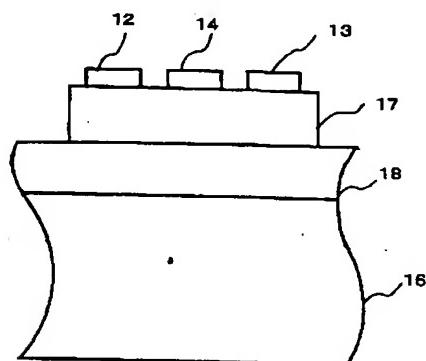
【図4】

基板材料	格子定数 (Å)
ScAlMgO ₄	3.236
ScAlZnO ₄	3.242
ScAlCoO ₄	3.247
ScAlMnO ₄	3.260
ScGaZnO ₄	3.259
ScGaMgO ₄	3.272

【図6】

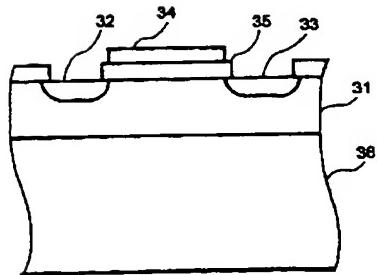


(A)

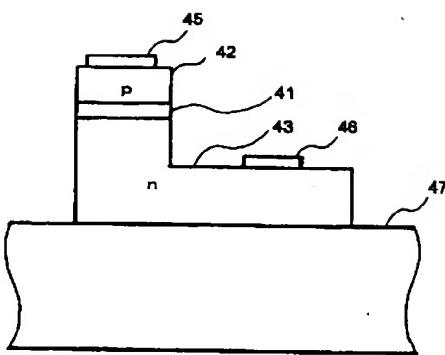


(B)

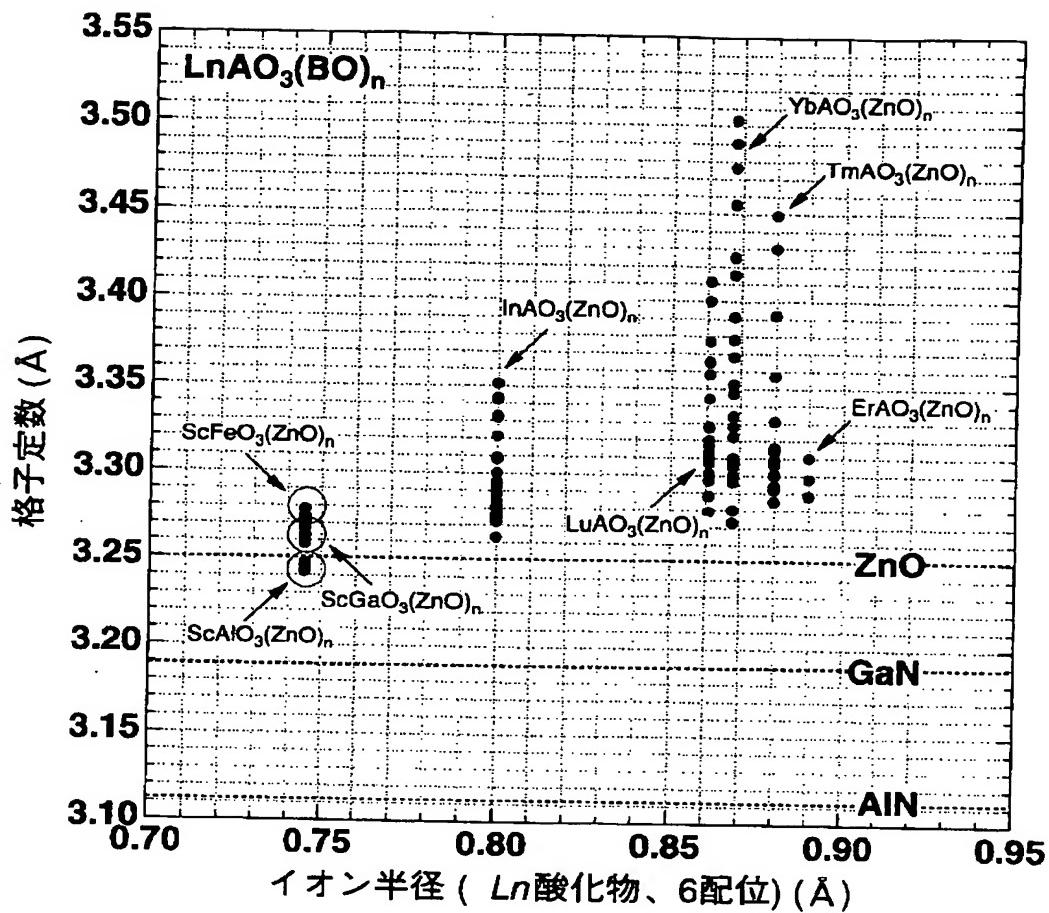
【図13】



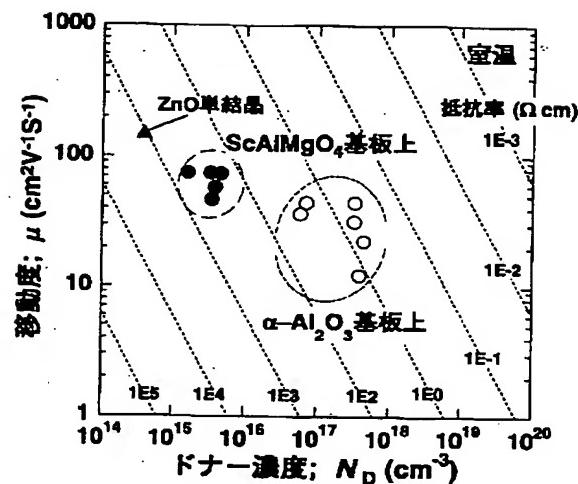
【図14】



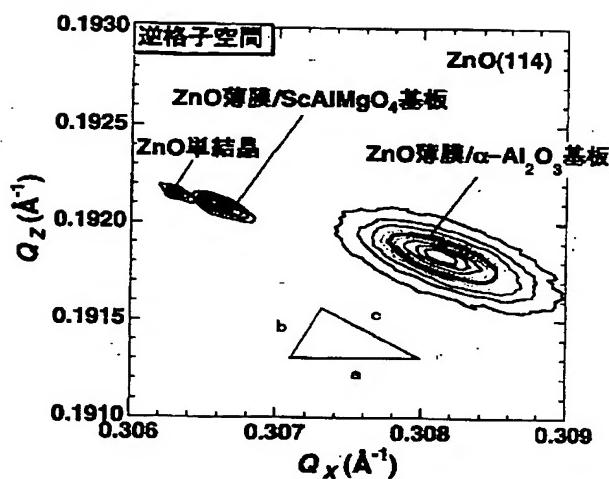
【図5】



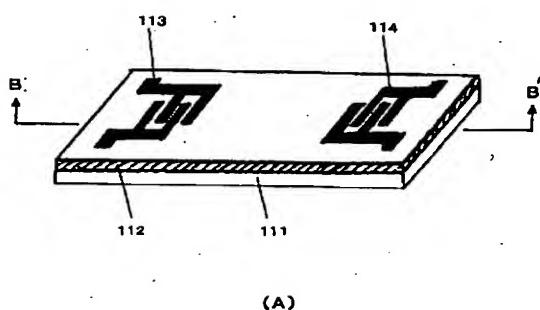
【図7】



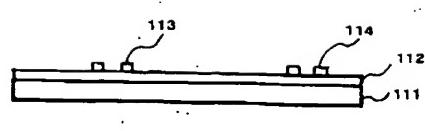
【図8】



【図15】

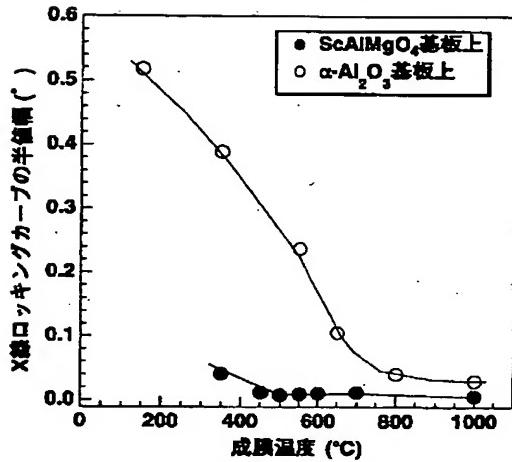


(A)



(B)

[図9]



フロントページの続き

F ターム(参考) 5F041 AA40 CA04 CA05 CA34 CA40
CA41 CA46
5F102 GB01 CC01 GD01 GD10 GJ01
GL00 HC07
5F110 AA01 CC01 CC05 DD01 DD04

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADING TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.